

DAFTAR GAMBAR

Gambar 2. 1 Penjumlahan Gelombang Fundamental dan Harmonisa orde 3 (Sugiarto, 2012).....	II-2
Gambar 2.2 Filter Aktif.....	II-6
Gambar 2. 3 Skema Filter Aktif Shunt.....	II-7
Gambar 2. 4 Bentuk gelombang pada filter aktif shunt (A) Arus beban, (B) Arus sumber setelah pemasangan filter, (C) Arus kompensasi, (D) Tegangan output komponen aktif. (Rashid, 2018).....	II-8
Gambar 2. 5 Skema Filter Aktif Seri	II-8
Gambar 2. 6 Bentuk gelombang sebelum dan sesudah pemasangan filter aktif seri, (a) Arus netral sistem, (b) Tegangan Fasa-Netral, (c) Arus sumber tegangan....	II-9
Gambar 2. 7 Konfigurasi sumber tiga fasa terhubung Y	II-10
Gambar 2. 8 Blok Diagram Inverter (Rashid, 2018).....	II-11
Gambar 2. 9 Diagram Blok HAPF	II-11
Gambar 2. 10 Konverter tiga fasa empat kawat	II-14
Gambar 2. 11 Multi Level Konverter dioda jepit tiga fasa empat lengan lima tingkat.....	II-14
Gambar 2. 12 Bentuk gelombang inverter multi lima tingkat	II-15
Gambar 2. 13 Proyeksi Koordinat dq terhadap koordinat abc	II-19
Gambar 2. 14 Transformasi Sistem abc menjadi $\alpha\beta 0$	II-21
Gambar 2. 15 <i>Prinsip Kerja</i> Model Predictive Control	II-22
Gambar 2. 16 Bentuk Gelombang Tegangan dan Arus Beban Linier	II-25
Gambar 2. 17 Rangkaian dan Bentuk Gelombang Beban Resistif	II-26
Gambar 2. 18 Diagram phasor beban resistif.....	II-26
Gambar 2. 19 Rangkaian dan Bentuk Gelombang Beban Induktif.....	II-27
Gambar 2. 20 Diagram phasor beban induktif.....	II-27
Gambar 2. 21 Rangkaian dan Bentuk Gelombang Beban Kapasitif.....	II-28
Gambar 2. 22 Diagram phasor beban kapasitif.....	II-29
Gambar 2. 23 Bentuk Gelombang Tegangan dan Arus pada Beban Non Linier ..	II-30
Gambar 2. 24 Segitiga Daya	II-30
Gambar 2. 25 Zedboard.....	II-33
Gambar 2. 26 Tampilan Utama MATLAB	II-35
Gambar 2. 27 Jendela Awal Simulink.....	II-36
Gambar 2. 28 Tampilan kerja Simulink.....	II-37
Gambar 2. 29 Simulink <i>Library Browser</i>	II-37
Gambar 2. 30 Struktur <i>Fixed Point</i>	II-38
Gambar 2. 31 Contoh Pengaturan Fixed Point pada Blok Simulink.....	II-38
Gambar 3. 1 Diagram alur penelitian.....	III-1
Gambar 3. 2 Blok Diagram Sistem	III-4
Gambar 3. 3 Algoritma MPC pada Filter Aktif	III-5
Gambar 3. 4 Blok Diagram Filter Aktif dengan Kendali MPC	III-7
Gambar 3. 5 Diagram Kerja PIL	III-9

Gambar 4. 1 Model Simulink Keseluruhan <i>Three-phase Four-leg Inverter LC Filter</i>	IV-4
Gambar 4. 2 Blok Model Sistem Tiga Fasa Empat Kaki	IV-4
Gambar 4. 3 Rangkaian Model Beban Non Linier	IV-5
Gambar 4. 4 <i>Dialog Parameter Universal Bridge</i>	IV-6
Gambar 4. 5 Blok <i>Subsistem</i> perhitungan arus referensi	IV-6
Gambar 4. 6 Blok Model Perhitungan Arus Referensi	IV-7
Gambar 4. 7 Rangkaian Kendali MPC.....	IV-8
Gambar 4. 8 <i>Vitis Model Composer</i>	IV-20
Gambar 4. 9 Konfigurasi Hardware <i>Vitis model composer hub</i>	IV-21
Gambar 4. 10 hasil akhir konversi <i>Matlab Function</i> ke <i>Mcode</i>	IV-22
Gambar 4. 11 Blok parameter <i>Mcode</i>	IV-23
Gambar 4. 12 Potongan kode <i>mpc.m</i>	IV-23
Gambar 4. 13 Hasil <i>Mcode</i>	IV-24
Gambar 4. 14 Parameter <i>Gateway In</i>	IV-25
Gambar 4. 15 Pembuatan Sub sistem <i>mpc_HDL</i>	IV-25
Gambar 4. 16 Parameter Zero-Order Hold	IV-26
Gambar 4. 17 Pengaturan <i>Solver</i> dan <i>Fixed-step Size</i> pada <i>Configuration Parameters</i> Simulink	IV-27
Gambar 4. 18 Konfigurasi Pengaturan Generasi Kode pada <i>Vitis Model Composer Hub</i>	IV-28
Gambar 4. 19 Generate Verilog Code Pengaturan Ekspor Kode Verilog sebagai <i>IP Catalog</i> melalui <i>VMC Hub</i> Proses generasi kode dipicu dengan menekan tombol <i>Export</i>	IV-29
Gambar 4. 20 Notifikasi Keberhasilan Proses Generasi Kode Verilog	IV-30
Gambar 4. 21 Struktur Direktori dan Berkas Hasil Generasi Kode oleh VMC ...	IV-30
Gambar 4. 22 Berkas Proyek Vivado (.xpr) yang Dihasilkan VMC Setelah proyek terbuka di Vivado	IV-31
Gambar 4. 23 Tampilan Awal Proyek Vivado Setelah Membuka Berkas .xpr	IV-32
Gambar 4. 24 Mengakses <i>FIL Wizard</i> dari Tab <i>APPS</i> di MATLAB/Simulink...	IV-32
Gambar 4. 25 Langkah Awal <i>FIL Wizard</i> : Pemilihan Opsi dan Papan Target	IV-33
Gambar 4. 26 Lokasi Berkas Sumber Verilog (.v) Hasil Generasi VMC	IV-33
Gambar 4. 27 Contoh Modifikasi Sintaks Rentang Bit pada Berkas Verilog (<i>mpc_hdl.v</i>)	IV-34
Gambar 4. 28 Menambahkan Berkas Sumber Verilog ke dalam <i>FIL Wizard</i> ..	IV-35
Gambar 4. 29 Verifikasi Port Masukan/Keluaran DUT yang Terdeteksi oleh <i>FIL Wizard</i>	IV-36
Gambar 4. 30 Pengaturan Tipe Data untuk Port Keluaran pada <i>FIL Wizard</i> ..	IV-37
Gambar 4. 31 Pengaturan Opsi Pembangunan (<i>Build Options</i>) pada <i>FIL Wizard</i>	IV-38
Gambar 4. 32 Tampilan <i>Build Options</i> setelah diklik.....	IV-38
Gambar 4. 33 Pesan Konfirmasi Keberhasilan Pembuatan Blok FIL pada <i>Command Window</i> MATLAB.	IV-39

Gambar 4. 34 Blok Simulink FIL yang Dihasilkan Secara Otomatis oleh <i>FIL Wizard</i>	IV-39
Gambar 4. 35 <i>Bit file</i> tidak dapat digenerate.....	IV-40
Gambar 4. 36 Parameter Gateway In Baru	IV-41
Gambar 4. 37 Indikasi Keberhasilan Proses Generasi <i>Bit File</i>	IV-41
Gambar 4. 38 Subsistem mpc_HDL Setelah Diintegrasikan dengan Blok FIL...IV-42	
Gambar 4. 39 Konfigurasi Parameter Blok <i>Data Type Conversion</i> untuk Menyesuaikan Masukan Blok FIL	IV-43
Gambar 4. 40 Koneksi Fisik antara Zedboard dan Komputer Induk (<i>Host-PC</i>) Melalui Port USB PROG	IV-45
Gambar 4. 41 Mengakses <i>Hardware Manager Menu</i> dari Antarmuka Vivado Di dalam <i>Hardware Manager</i>	IV-46
Gambar 4. 42 Proses Koneksi Otomatis ke Perangkat FPGA melalui <i>Hardware Manager</i>	IV-46
Gambar 4. 43 Memilih Opsi <i>Program Device</i> Setelah FPGA Terdeteksi	IV-47
Gambar 4. 44 Jendela Dialog Pemilihan <i>Bitstream Programming File</i>	IV-48
Gambar 4. 45 Status FPGA Menunjukkan ' <i>Programmed</i> ' pada <i>Hardware Manager</i>	IV-49
Gambar 4. 46 Tampilan Indikator Fisik pada Zedboard Setelah Berhasil Diprogram	IV-49
Gambar 4. 47 Konfigurasi Parameter Blok FIL di Simulink	IV-50
Gambar 4. 48 Rangkaian Beban RL	IV-51
Gambar 4. 49 Grafik arus beban non linier.....	IV-51
Gambar 4. 50 Hasil Switching Beban Seimbang Pada HIL.....	IV-53
Gambar 4. 51 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa A Pada Model HIL.....	IV-54
Gambar 4. 52 Arus Beban, Arus Referensi, Dan Arus Sumber Fasa B Pada Model HIL	IV-55
Gambar 4. 53 Arus Beban, Arus Referensi, Dan Arus Sumber Fasa C Pada Model HIL	IV-55
Gambar 4. 54 Hasil Sisi Sumber Pada Beban Seimbang Pengujian HIL	IV-56
Gambar 4. 55 Hasil Sisi Beban Pada Beban Seimbang Pengujian HIL.....	IV-57
Gambar 4. 56 Hasil Switching Beban Tidak Seimbang Beban Fasa A Dan C Sama, Fasa B Berbeda, Model HIL	IV-58
Gambar 4. 57 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa A Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa B.....	IV-58
Gambar 4. 58 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa B Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa B.....	IV-59
Gambar 4. 59 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa C Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa B.....	IV-60
Gambar 4. 60 Hasil Sisi Sumber Pada Beban Tidak Seimbang Pada Fasa B Pengujian HIL	IV-60
Gambar 4. 61 Hasil Sisi Sumber Pada Beban Tidak Seimbang Pada Fasa B Pengujian HIL	IV-61

Gambar 4. 62 Hasil Switching Beban Tidak Seimbang Beban Fasa A Dan B Sama, Fasa C Berbeda, Model HIL	IV-62
Gambar 4. 63 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa A Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa C.....	IV-63
Gambar 4. 64 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa B Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa C.....	IV-63
Gambar 4. 65 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa C Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa C.....	IV-64
Gambar 4. 66 Hasil Sisi Sumber Pada Beban Tidak Seimbang Pada Fasa C Pengujian HIL	IV-65
Gambar 4. 67 Hasil Sisi Sumber Pada Beban Tidak Seimbang Pada Fasa C Pengujian HIL	IV-66
Gambar 4. 68 Hasil Switching Beban Tidak Seimbang Beban Fasa B dan C Sama, Fasa A Berbeda, Model HIL	IV-66
Gambar 4. 69 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa A Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa A	IV-67
Gambar 4. 70 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa B Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa A	IV-68
Gambar 4. 71 Grafik Arus Beban, Arus Referensi, Dan Arus Sumber Fasa C Pada Model HIL Dalam Keadaan Beban Tidak Seimbang Pada Fasa A	IV-69
Gambar 4. 72 Hasil Sisi Sumber Pada Beban Tidak Seimbang Pada Fasa A Pengujian HIL	IV-70
Gambar 4. 73 Hasil Sisi Beban Pada Beban Tidak Seimbang Pada Fasa A Pengujian HIL	IV-70
Gambar 4. 74 Pesan kritis desain gagal memenuhi <i>timing</i> yang diperlukan. ..	IV-73
Gambar 4. 75 Tampilan path yang gagal memenuhi <i>timing</i> yang diperlukan. IV-	74