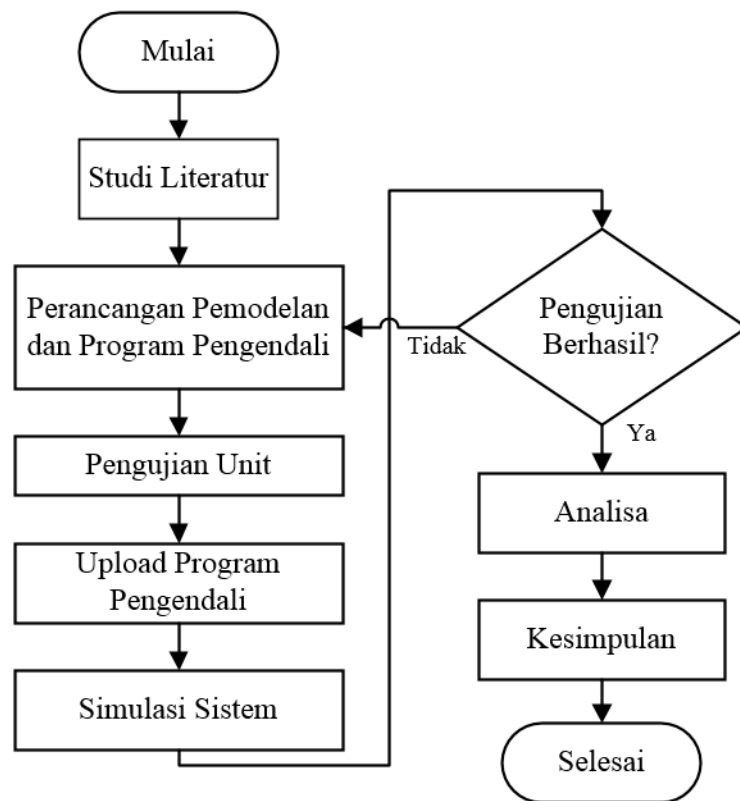


BAB III METODE PENELITIAN

3.1 Tahapan Penelitian

Dalam sebuah penelitian diperlukan sebuah *flowchart* alur penelitian, tujuannya adalah agar penelitian mudah dipahami dan dapat menjadi pedoman dalam proses penelitian. Berikut adalah *flowchart* tahapan penelitian yang dapat dilihat pada Gambar 3.1.



Gambar 3.1 *Flowchart* Penelitian

Dalam proses perancangan dan pembuatan sistem terdapat beberapa tahapan yaitu sebagai berikut:

1. Tahap ke-satu adalah memulai penelitian. Tahap ini merupakan proses untuk memulai penelitian.

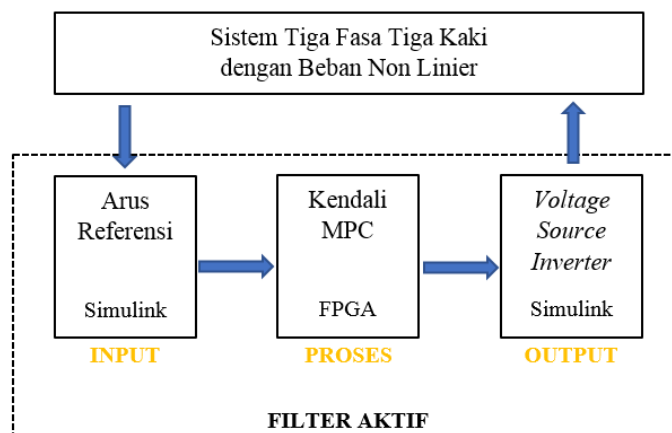
2. Tahap ke-dua adalah studi literatur. Tahap ini merupakan proses mengumpulkan referensi dan mengkaji dasar teori diantaranya mengenai harmonisa, filter aktif, MPC, FPGA, inverter tiga-fasa, dan simulasi *FPGA-in-the-Loop* (FIL) untuk memahami konsep dan implementasi pada penelitian yang dilakukan. Referensi tersebut didapat dari berbagai sumber seperti jurnal penelitian baik nasional maupun internasional, e-book, dan website. Selain teori yang telah disebutkan, pada tahap ini juga dilakukan kajian komponen pada simulink yang akan digunakan dalam penelitian. Kajian komponen tersebut meliputi proses pemilihan komponen yang akan digunakan, jenis komponen, sampai pada besaran nilai komponen.
3. Tahap ke-tiga adalah perancangan pemodelan dan program pengendali. Tahap ini merupakan proses perancangan model untuk rangkaian jaringan listrik tiga-fasa, rangkaian ekstraksi harmonisa untuk menghasilkan nilai arus referensi, dan rangkaian inverter tiga-fasa, kemudian dilanjutkan dengan pembuatan program untuk mengendalikan sistem sesuai dengan apa yang diharapkan.
4. Tahap ke-empat adalah pengujian unit. Pengujian unit dilakukan dengan maksud untuk mengetahui apakah *hardware* yang akan digunakan dalam penelitian berfungsi dengan baik atau tidak. Karena pada penelitian ini berupa simulasi HIL, maka hanya diperlukan processor dari perangkat fpga yang akan digunakan dan tidak menggunakan port I/O. Oleh karena itu pengujian unit dilakukan dengan cara memberikan program sederhana kepada *board* fpga seperti *blinking* led.

5. Tahap ke-lima adalah upload program pengendali. Tahap ini merupakan tahap pengimplementasian program kendali mpc yang telah di buat menggunakan blok simulink yang telah di konversi dan di upload ke dalam board fpga.
6. Tahap ke-enam adalah simulasi sistem. Tahap ini merupakan proses dimana pemodelan yang telah dibuat disimulasikan dalam bentuk simulasi *FPGA-in-the-Loop* (FIL).
7. Tahap ke-tujuh adalah pengujian sistem. Tahap ini merupakan proses pengujian sistem yang telah dibuat. Pengujian ini dilakukan untuk mengetahui adanya kesalahan atau kekurangan pada sistem yang telah dibuat. Apabila pada sistem yang telah dibuat masih terdapat kesalahan ataupun tidak sesuai dengan apa yang diharapkan, maka perlu dilakukan pengecekan kembali pada perancangan pemodelan dan program pengendali yang telah dibuat, kemudian dilakukan perbaikan. Jika sistem telah sesuai dengan yang diharapkan, maka dilanjutkan pada proses selanjutnya.
8. Tahap ke-delapan adalah analisa dari hasil pengujian.
9. Tahap ke-sembilan adalah membuat kesimpulan dari data yang dihasilkan.
10. Tahap ke-sepuluh adalah penelitian selesai, dimana tahapan-tahapan yang diperlukan dalam penelitian telah dilaksanakan sesuai prosedur.

3.2 Blok Diagram Sistem

Penelitian ini merancang pengendali konverter pada sebuah filter aktif. Filter aktif yang akan dibuat merupakan filter aktif *shunt* karena filter aktif ini yang paling populer dan memiliki topologi juga prosedur instalasi yang telah dipahami

dengan baik. Prinsip dasar filter aktif *shunt* adalah membangkitkan arus kompensasi untuk meredam harmonisa, sehingga arus sumber mendekati sinusoidal.



Gambar 3.2 Blok Diagram Sistem

Pada Gambar 3.2 menunjukkan blok diagram dari sistem filter aktif *shunt*.

Dari blok diagram tersebut, dapat dilihat bahwa terdapat tiga tahapan pada sistem agar harmonisa yang terdapat pada jaringan listrik dapat direduksi. Tahapan tersebut yaitu:

a. Input

Bagian input merupakan perhitungan arus referensi. Perhitungan arus referensi ini menggunakan teori *Synchronous Reference Frame* (SRF). Hasil perhitungan arus referensi akan digunakan untuk perhitungan pada kontroler sistem.

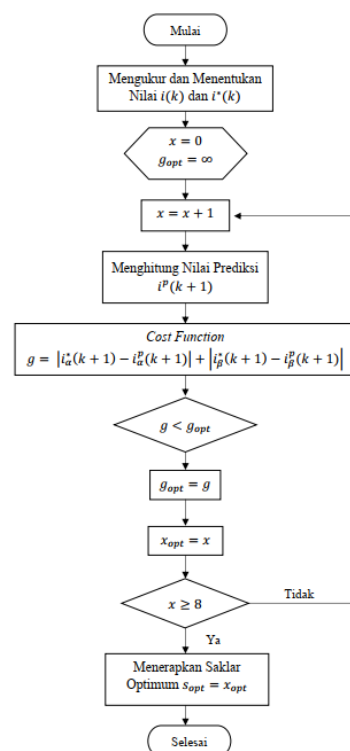
b. Proses

Pada bagian proses merupakan bagian kendali pensaklaran konverter dimana metode yang digunakan adalah metode *Model Predictive Control* (MPC). Arus referensi digunakan sebagai acuan untuk kontroler dalam mengatur pensaklaran pada konverter agar konverter dapat menghasilkan arus filter sesuai dengan arus referensi yang diberikan.

c. Output

Bagian output ini merupakan bagian dimana konverter melakukan pensaklaran dan menghasilkan arus filter sesuai dengan instruksi dari kontroler. Konverter yang digunakan adalah jenis *voltage source inverter*. Konverter akan melakukan injeksi arus pada sistem melalui filter RL sesuai dengan arus referensi yang diinputkan.

3.3 Algoritma MPC pada Filter Aktif



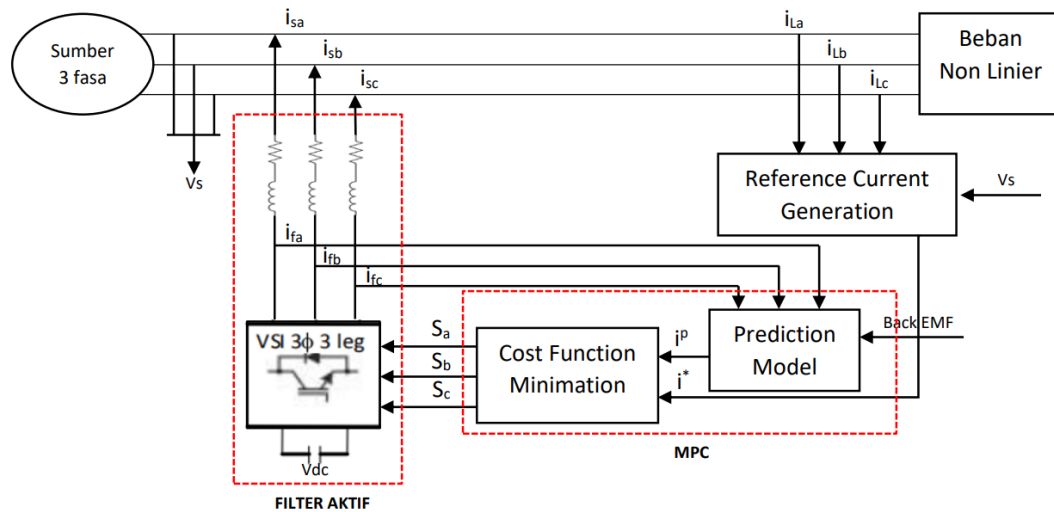
Gambar 3.3 Algoritma MPC pada Filter Aktif

Diagram alir dari algoritma *model predictive control* (MPC) untuk inverter tiga fasa sumber tegangan pada filter aktif dapat dilihat pada Gambar 3.3.

Penjelasan dari diagram alir tersebut adalah sebagai berikut:

1. Tahap pertama adalah mengukur nilai arus keluaran filter $i(k)$ dan menentukan nilai arus referensi $i^*(k)$. Setelah mendapatkan nilai $i(k)$ dan $i^*(k)$, selanjutnya nilai tersebut dijadikan inputan yang kemudian masuk pada model prediksi.
2. Algoritma menginisialisasi iterasi (x) dan *cost function* (g) menjadi nol dan tak terhingga.
3. Algoritma masuk ke *loop*, kemudian menghitung iterasi *for loop* setiap selesainya satu siklus pada *for loop*.
4. Selanjutnya adalah menentukan nilai arus hasil prediksi $i^p(k + 1)$.
5. Hasil prediksi arus dihitung *error*-nya terhadap referensi dengan menggunakan fungsi biaya g .
6. Ketika saat looping, jika $g < g_{opt}$, nilai g terkecil disimpan dan digunakan untuk mengganti nilai g_{opt} . Selain menyimpan *cost function* nilai iterasi optimal x_{opt} tersebut ikut disimpan karena menggambarkan kombinasi *switching state*.
7. Kombinasi *switching state* yang juga merupakan iterasi x terus dilakukan hingga terjadi iterasi sebanyak 8 kali sesuai dengan $x \geq 8$, setelah dilakukan iterasi sebanyak 8 kali nilai angka pada x_{opt} dikeluarkan pada algoritma.
8. Sinyal *switching* untuk konverter tersebut dipilih x_{opt} yang disimpulkan dari daftar status *switching state* yang telah ditentukan.
9. *Switching state* kemudian diterapkan pada konverter, yang membuat tegangan dan arus berubah. Setelah itu kembali lagi ke langkah pertama. Rangkaian proses MPC pada bagian inverter ini dilakukan secara kontinu selama sistem dijalankan.

3.4 Blok Diagram Filter Aktif dengan Kendali MPC



Gambar 3.4 Blok Diagram Filter Aktif dengan Kendali MPC

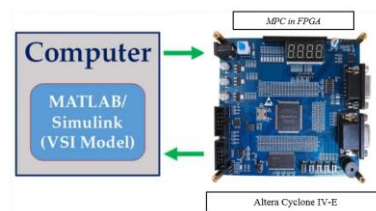
Dari diagram blok sistem pada Gambar 3.4, terdapat sebuah jaringan listrik tiga fasa yang menyuplai beban non linier. Pada sistem tersebut, nilai tegangan sumber V_s nilai arus beban i_{La} , i_{Lb} , dan i_{Lc} digunakan dalam perhitungan arus referensi i^* . Nilai arus filter i_{fa} , i_{fb} , dan i_{fc} digunakan dalam perhitungan arus prediksi i^p pada sistem kendali MPC.

Tahap selanjutnya yaitu mencari selisih antara nilai arus prediksi i^p dan arus referensi i^* yang dilakukan pada blok *Cost Function Minimation*. Pada proses ini dilakukan pencarian nilai *cost function* dengan nilai error terkecil untuk pemilihan kondisi pensaklaran S_a , S_b , dan S_c pada inverter untuk melakukan pensaklaran dan menghasilkan arus kompensasi sesuai dengan arus referensi i^* yang diinputkan.

Arus yang dihasilkan dari inverter i_{fa} , i_{fb} , dan i_{fc} kemudian diinjeksikan kembali kedalam sistem jaringan tiga fasa untuk mengurangi harmonisa pada jaringan, sehingga bentuk gelombang arus sumber i_{sa} , i_{sb} , dan i_{sc} dapat mendekati sinusoidal.

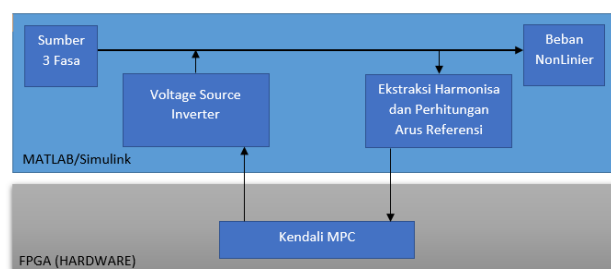
3.5 Simulasi FPGA in the Loop (FIL)

Salah satu teknik simulasi adalah *FPGA-in-the-Loop* atau FIL. Teknik FIL merupakan gabungan antara Simulink dengan perangkat keras FPGA. Dalam pengaplikasiannya, teknik FIL ini menggunakan FPGA sebagai kontroler dari sebuah sistem yang dibuat. Teknik FIL dapat membantu dalam perancangan sistem agar hasil yang didapatkan lebih *valid* karena melibatkan perangkat keras dalam menjalankan simulasinya. Dalam penelitian ini, rangkaian kendali MPC diimplementasikan kedalam perangkat FPGA. Adapun topologi dari simulasi FIL pada penelitian ini, secara garis besar dapat dilihat pada Gambar 3.5.



Gambar 3.5 Interaksi VSI dengan pengontrol di FPGA

Untuk mengetahui lebih jelas dari simulasi FIL pada penelitian ini, dapat dilihat pada Gambar 3.6.



Gambar 3.6 Diagram Blok Simulasi FIL

Pada tahap awal, sebuah sistem jaringan listrik tiga fasa dengan proses ekstraksi harmonisa dan perhitungan nilai arus referensi dimodelkan dalam MATLAB/Simulink. Selanjutnya, pemodelan kontroler MPC dibuat dengan menggunakan simulink. Setelah dibuat dalam bentuk model simulink, model

kontroler MPC yang berbentuk satu buah blok *subsystem* kemudian di konversi menjadi satu buah file program VHDL melalui fasilitas “*Generate HDL for Subsystem*”, file tersebut kemudian di *upload* kedalam perangkat FPGA. FPGA melakukan perhitungan matematis dalam menghasilkan pola pensaklaran untuk sinyal *gating* pada konverter agar menghasilkan arus kompensasi sebesar nilai yang diberikan dari arus referensi. Hasil keluaran dari FPGA adalah berupa sinyal untuk pemilihan pensaklaran yang harus di implementasikan pada rangkaian konverter, dimana konverter ini dibuat dalam bentuk model simulink.

3.6 Peralatan Perancangan

Peralatan perancangan yang digunakan baik *hardware* maupun *software* adalah sebagai berikut:

1. Komputer dengan OS Windows 10, prosesor Intel® Core i7-7700, RAM 16GB
2. *Software* MATLAB/Simulink
3. Altera Quartus Prime 16.1
4. FPGA Altera Cyclone IV E

3.7 Waktu dan Lokasi Penelitian

Proses pelaksanaan penelitian dan penyusunan laporan ini dimulai pada bulan Juli tahun 2021 sampai dengan selesai. Penelitian dilakukan di Laboratorium Teknik Elektro Universitas Siliwangi, Jln. Siliwangi No. 24 Kota Tasikmalaya.